

FPGA 测试验证质量保证技术研究

张莎莎, 杨 琪, 王 菲

(西安微电子技术研究所, 西安 710065)

摘 要: 为保障军用、航天 FPGA 测试验证质量, 进行测试验证质量保证技术研究. 从静态和动态两方面, 对静态分析制定分析以及测试准则, 针对动态测试设计了一种自动化仿真验证平台软件, 该软件读入被测文件进行分析并生成测试平台, 在此基础上通过配置接口模型、协议完成测试环境搭建, 从而整体提高验证效率与质量.

关键词: FPGA; 测试验证; 质量保证; 自动化仿真验证平台

中图分类号: TP306

文献标识码: A

文章编号: 1000—7180(2018)12—0133—04

Research on FPGA Verification Quality Assurance Technique

ZHANG Sha-sha, YANG Qi, WANG Fei

(Xi'an Microelectronic Technique Institute, Xi'an 710065, China)

Abstract: To ensure the quality of military and aerospace FPGA, this paper conducts research on quality assurance technology. Both dynamic and static, for static analysis, we draw up test and analysis rules, for dynamic test, we develop an automatic verification platform. The platform reads under test file, analyzes and generates test bench, then customer just configure clock-reset signal, related protocol, algorithm model and the verification environment complete. This platform can improve the overall verification efficiency and quality.

Key words: FPGA; Verification ; Quality Assurance ; Automatic verification platform

1 引言

军用产品对计算机小型化的要求越来越高, 相对于 SoC(System On Chip)芯片研发的高成本, FPGA(Field-Programmable Gate Array)使用硬件编程语言实现硬件设计, FPGA 实现硬件产品的主要逻辑控制功能, 对型号成败起着重要且直接的影响, 近年来随着 FPGA 的广泛使用, 质量问题也越来越突出, 大部分是由于对 FPGA 设计的测试验证不充分、不规范造成的. 研究 FPGA 测试验证质量保证技术, 能够有效提高 FPGA 测试验证质量, 进而保证产品质量.

2 FPGA 测试验证

2.1 FPGA 的重要性

FPGA 由于规模集成度高、功能集成多、体积小、重量轻、功耗低的特点, 可以实现单机设备集成

化、小型化和组合化, 并且相对于 SoC 成本低、设计周期短, 可复用性强, 已成为普遍采用的产品设计方式, 并且随着产品的功能性能要求提升, FPGA 得到了普遍使用, 已经成为产品至关重要的设计部分.

2.2 FPGA 测试验证方法

FPGA 本质上是采用硬件编程语言的方式, 通过软件编程来改变器件内部逻辑连线关系, 从而实现不同的硬件功能, 它以硬件方式存在但不能单纯以硬件产品的测试方法进行测试, 因此对 FPGA 的需求满足性的确认需要参考软件测试方法以及技术要求, 同时结合 FPGA 最终以硬件方式实现的特点, 考虑温度、电压、时序关系等等因素, 对 FPGA 的测试验证可从软件特性和硬件特性两方面考虑: 从软件特性方面考虑, 需要进行文档审查、代码审查、静态分析、功能测试、性能测试、接口测试、逻辑测试等; 从硬件特性方面考虑需要进行时序测试, 测试 FPGA 在最大工况(最高温度、最低电压)、最小

工况(最低温度、最高电压)下的时序满足情况。

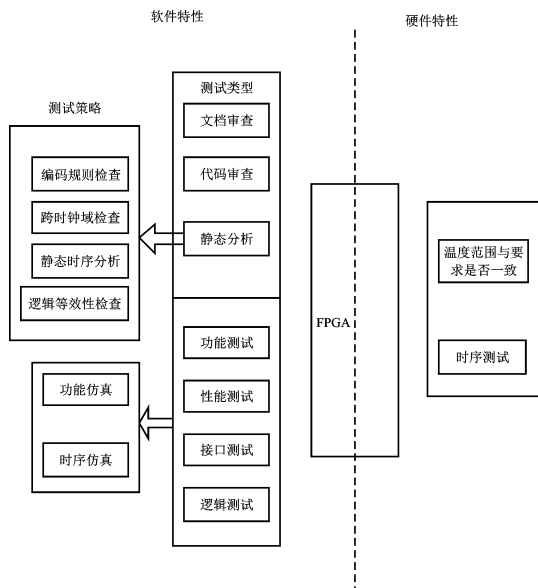


图1 FPGA 测试验证方法

为满足以上测试要求,一般采取以下测试策略进行测试:

(1)文档审查、代码审查

采用人工检查方式,按照一定的检查单,逐条对照检查文档的完整性、一致性、准确性;其中代码审查可由相应的调试追踪工具产生逻辑图、仿真波形辅助进行审查。

(2)静态分析

以工具静态扫描为主,常用的编码规则检查工具有 SpyGlass、HDLdesigner、Leda,跨时钟域检查工具 QuestaCDC、SpyGlass,静态时序分析工具 Primetime、FPGA 设计环境中自带的静态时序分析工具、逻辑等价性检查工具 FormalPro、Formality、ECFPGA;但这些工具产生的静态分析结果往往多达几百甚至上千条,所有警告以及错误信息都需要测试人员逐条分析比对才能得出最终的测试结果。

(3)仿真验证

是 FPGA 动态测试的方法之一,FPGA 从逻辑代码开始,就需要首先对 RTL 代码进行功能确认,在这个过程中,测试人员需要理解需求,明确 DUT (Device Under Test)的功能、性能、接口要求,编写测试需求,搭建仿真验证环境,包括编译库文件、代码文件、IP 核文件,然后编写所有需要的输入激励,将这些激励从 DUT 的输入端口给入,通过观察输出端口输出的仿真波形,确认其是否与需求中的要求一致。而测试激励的编写和输出的检查都需要测试人员人工进行,不仅耗时长,而且效率不高,且很

难避免人为因素导致的错误。

RTL 代码级的仿真实验验证(功能仿真)完成后,将所有测试用例的覆盖率信息收集,逐行分析未覆盖到的行及表达式,完成逻辑测试。

对 FPGA 的时序测试除了静态时序分析外,一般采取布局布线后网表的时序仿真进行,时序仿真可复用功能仿真时编写的测试用例,但是设计文件更换为网表文件及标准延时文件(sdf 文件),这些文件由设计工具产生,通过不同工况下的延时文件即可真实反映 FPGA 器件在不同温度、电压下的时序情况。

3 提高 FPGA 测试验证质量的方法研究

为提高 FPGA 测试验证质量,针对以上测试验证方法,分为静态测试和动态测试两类。静态测试方面主要针对静态分析环节,静态分析只需要读入代码及约束文件进行工具扫描,因此要提高静态分析的质量,就需要规范静态分析流程,制定约束文件编写规则以及规范扫描报告的分析准则;动态测试方面由于对每个 FPGA 都需要手动编写测试激励进行仿真验证,基于减少仿真验证过程中人工干预的考虑,研发自动化仿真验证平台软件,提高仿真验证的效率和质量。

3.1 静态分析的质量保证

静态测试的输入仅为代码文件和约束文件,对跨时钟域检查来说,需要明确时钟域的划分准则,分类制定跨时钟域设计违反的检查准则,对输出的警告信息逐条分析,明确对于 FPGA 可忽略的警告类别,保证不漏报,不误报,确保跨时钟域检查的质量。

静态时序分析需要明确静态时序分析的内容及步骤、根据需求要求添加时钟约束,明确假路径等时序例外情况的确定,提出时钟分析报告的分析准则;明确静态时序分析约束的覆盖性的测试准则;规定内部关键路径的余量的判断标准,及接口时序的最大最小延时要求,提高静态时序分析结果的准确性。

3.2 动态测试的质量保证

FPGA 动态测试的关键在于测试人员把对该设计的功能、性能、接口的理解转换为仿真验证环境及测试用例,测试用例设计的质量主要靠制定动态测试技术要求以及设计方、同行专家的评审进行把关,那么重点就应该放在仿真验证环境上。鉴于 FPGA 的灵活性,FPGA 多为满足特定需求而进行的设计,因此动态测试时对每个 FPGA 软件都需要手动编写测试激励,可重用性远远达不到 SoC 设计的可重

用程度,但是,同一个设计机构在一段时期内的设计存在着一定的继承性,并且 FPGA 所使用的接口按照类别也具有一定的重用性,基于以上考虑,为提高 FPGA 仿真验证环境质量,减少激励文件重复编写且质量不高的现状,设计自动化仿真验证平台软件.

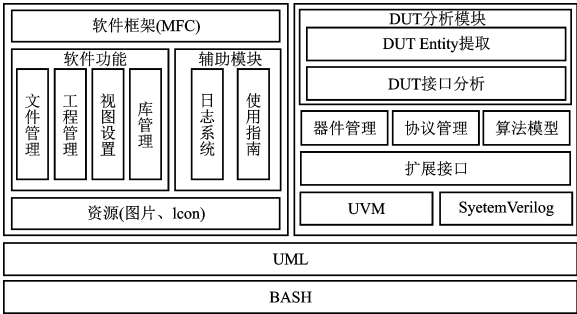


图 2 自动化仿真验证平台设计框图

3. 2. 1 自动化仿真验证平台软件设计

输入文件为 DUT 顶层文件 top. vhd,使用脚本语言读入该文件后,软件第一步识别出设计顶层为 top,用户设置验证环境缩略符为 DCP,首先软件在当前路径下产生 tb,sim 的文件夹,tb 用于放置自动生成的 testbench 文件,sim 为仿真进行目录.

第二步,用户输入时钟及复位信号为 sysclk,reset,软件根据读入的设计顶层文件、时钟、复位信号在 tb 文件夹下产生接口文件 dcp_io. sv,tb 顶层文件 dcp_test_top. sv;接口文件中根据设计识别出 in,out,inout 端口,分别定义 logic,wire 类型,定义 clocking 块,modport 块,完成 interface 设计;产生的 tb 顶层文件用于连接 interface,定义测试用例块 Program,将设计顶层 top 例化为 DUT,设计顶层的信号对应连接至 interface 接口信号,产生时钟及复位示例代码,产生输入信号赋初值示例代码;

第三步,用户输入接口类型 LSCCU01,软件从接口库中找到相应的文件,拷贝至 tb 文件夹,在 tb 下生成 testcase 文件夹,根据 LSCCU01 接口中定义的主机接口读写方法,生成测试用例示例代码;

第四步,用户输入所使用的 FPGA 库类型 Xilinx,目前仅针对 ncsim 仿真软件,自动化平台软件在 sim 路径下生成 cds. lib,在该文件中将 UNISIMS 库的路径指定到事先编译好的路径,生成 irun 脚本,将 rtl 路径下的所有代码文件产生 source. f 文件,将 tb 文件夹下的所有文件产生 tb. f 文件,在 irun 中调用这两个文件,将仿真软件的顶层设置为 dcp_test_top.

至此,仿真验证环境搭建完成,通过自动化仿真

验证平台软件的运行,完成了仿真验证环境的框架结构以及各个部件之间的连接,并且对于测试用例也给出了示例代码,测试人员只需要对产生的文件进行确认,完善时钟及复位产生代码就能直接运行仿真验证环境,将 FPGA 三大主流器件厂商 Xilinx, Actel, Altera 的库文件预先编译好由仿真环境直接调用更是节约了库文件编译、调试的时间. 自动化仿真验证平台软件的运行调用接口库中的接口文件,减少了重复编写引起的人力浪费以及不必要的错误,节约了编写、调试激励的时间,减少了 interface 定义、连接、脚本编写过程中的人为错误,并且随着测试经验的积累,由富有经验的测试人员编写 FPGA 接口库,不断丰富主机接口以及协议接口类型,这样即使 FPGA 的功能复杂,接口众多,端口上百个,使用该软件搭建仿真验证环境的时间也会大大缩短,搭建的仿真验证环境的质量也能得到有效保证.

3. 2. 2 自动化仿真验证平台使用效果

对五个 FPGA 评测项目进行了实验,从而对传统的验证环境生成方法和使用 FPGA 自动化测试验证平台效果进行对比. 被选评测项目平均规模在 5000 行左右,分别统计两种方法搭建测试环境需要的时间.

人工搭建仿真环境分为 4 个步骤:

- (1)分析被测件对象,手工编写 TestBench;
- (2)配置仿真器环境;
- (3)按需求分别编写 FPGA 涉及的外围接口,协议;
- (4)对编码实现的协议进行调试验证.

使用 FPGA 自动化测试验证平台为 4 个步骤:

- (1)使用脚本生成初始 TestBench;
- (2)根据配置指南配置仿真器环境;
- (3)在工具中挑选适用于被测件的协议、接口模型;
- (4)手动调试验证框架;

对实验结果数据进行整理并取平均值后绘制 4 个步骤分别需要使用的对比图如图 3,其中横轴单位为小时:

通过实验可以看出,利用自动化平台软件生成验证环境相对于人工搭建,大大减少了 TestBench 生成的时间和配置 FPGA 外围设备与通信协议的时间,虽然平台增加了额外的框架整合时间,但是开销也可接受范围.

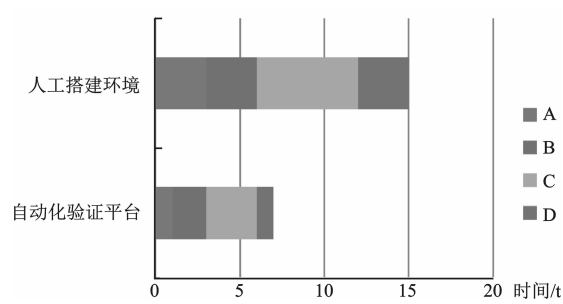


图 3 人工搭建环境与辅助工具生成的时间对比

另外,从图表上反映不出来的是通过 FPGA 自动化验证平台可以大大提高验证的可靠性以及可重用性,该软件中提供的器件与协议描述均是由测试经验丰富的测试人员共同编写和实践的,无论是可靠性还是功能都更加完善。

利用两种方法设计搭建环境的时间如表 1 所示:

表 1 人工搭建环境与通过工具搭建环境试验

项目	所用时间 (小时)	规模	人工搭建 验证环境	工具搭建 验证环境	工具较人工 方法效率 提高(%)
项目 1	4	435	12	8	33
项目 2	4	986	15	13	13
项目 3	6	498	25	12	50
项目 4	1	286	4	4	0
项目 5	8	564	35	20	42.8
合计			91	57	37.7

从表中可以看出,对于规模较小接口简单的被测件使用自动化平台软件的优势并不明显,但是总体上看利用 FPGA 自动化测试验证平台较人工方法在总时间上节省了 37.7%,且自动化软件生成的测试环境在可靠性和重用性方面具有更大的优势,在质量形势日趋严峻,测试周期越来越短的前提下尤为重要。

4 结束语

本文从静态和动态两方面对 FPGA 测试验证

的质量保证技术进行了研究,提出了保证静态分析质量的方法策略,设计了 FPGA 自动化仿真验证平台软件,该软件适用于 FPGA 设计、测试、第三方测试人员,能够有效提高测试效率. 这些结合起来能够有效提高 FPGA 测试验证的质量,减少人为因素导致的不必要的错误,保证产品质量.

参考文献:

[1] 张璐,梁克,聂小亮. 我国载人航天工程 FPGA 研制现状及分析[C]//空间站工程软件工程化交流研讨会论文集. 北京: 中国载人航天工程办公室,2015:3-10.

[2] 刘子宜,刘畅,郑军. 基于软件测试技术的 FPGA 测试研究[J]. 电子技术应用,2011,37(5):28-30.

[3] 费亚南,周辉,朱伟杰. FPGA 软件自动化验证平台设计与实践[J]. 计算机测量与控制,2016,24(5):139-142.

[4] 吕欣欣,刘淑芬. FPGA 通用验证平台建立方法研究[J]. 微电子学与计算机,2010,27(5):46-49.

[5] 刘宪忠,于天民,黄志国. 基于 VMM 的 FPGA 软件可重用验证平台[J]. 自动化技术应用,2016,35(12):46-49.

[6] 甘璐,李恺,黄钟. FPGA 软件测试技术研究[J]. 通讯技术,2017,50(8):1877-1882.

[7] Lin Teng, Feng Jianhua, Zhao Jianbing, et al. A novel scheme for application-dependent testing of FPGAs[J]. Acta Scientiarum Naturalium Universitatis Pekinensis,2009,45(3):402-404.

作者简介:

张莎莎 女,(1982-),硕士,高级工程师. 研究方向为 FPGA 测试,测试项目管理.
E-mail:shasha_love_527@163.com.

杨琪 男,(1988-),硕士,工程师. 研究方向为 FPGA 测试,测试自动化技术.

王菲 女,(1981-),硕士,高级工程师. 研究方向为 FPGA 开发与测试、跨时钟域问题.